



(19)

(11) Publication number:

07115092 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 06114799

(51) Intl. Cl.: H01L 21/316 C23C 16/50

(22) Application date: 27.05.94

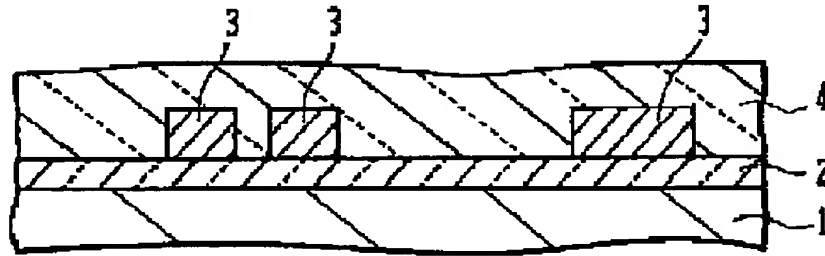
(30) Priority:	26.08.93 JP 05211200	(71) Applicant:	FUJITSU LTD
(43) Date of application publication:	02.05.95	(72) Inventor:	NISHIO HIDETOSHI HAMADA YUMIKO UESUGI HIROYUKI
(84) Designated contracting states:		(74) Representative:	

**(54) MANUFACTURE OF
SEMICONDUCTOR DEVICE
HAVING INSULATING FILM**

(57) Abstract:

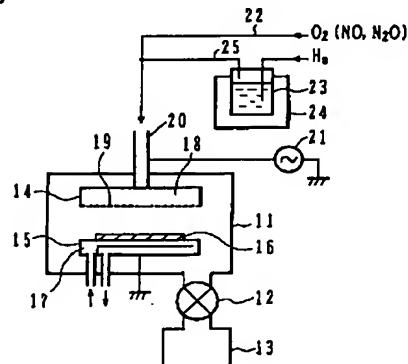
PURPOSE: To obtain an insulating film surface not having unevenness of a foundation on the surface of a plate of difference in level by generating plasma using organic silicon having silazane bonds and an oxidizing agent and forming an insulating film by plasma chemical vapor deposition.

CONSTITUTION: A borophosphosilicate glass(BPSG) film 2 is deposited to the thickness of 0.5 to 1 μ m on the surface of a silicon substrate 1 by a CVD method. An aluminium alloy layer is deposited to the thickness of about 1 μ m on the BPSG film 2 by sputtering. A resist layer is applied on the aluminium alloy film followed by exposure and developing so as to prepare a resist pattern. When an aluminium alloy wiring 3 is formed by patterning the aluminium alloy film having the resist pattern as an etching mask, the silicon substrate surface has difference in level. The silicon substrate like this is carried in to a parallel flat plate type plasma CVD device so as to form a silicon-based insulating film for flattening difference in level.



COPYRIGHT: (C)1995,JPO

(11)特許出願公開番号



【特許請求の範囲】

【請求項1】 表面に凹凸のある構造を有する半導体基板を準備する工程と、

シラザン結合を有する有機シリコンと酸化剤を用いてプラズマを発生させ、プラズマ化学気相堆積(CVD)によって前記半導体基板上に下地の凹凸を反映しない絶縁膜を堆積する工程とを含む絶縁膜を有する半導体装置の製造方法。

【請求項2】 前記有機シリコンは、環状のシラザン結合を有する請求項1記載の半導体装置の製造方法。

【請求項3】 前記有機シリコンは、 $(SiR_n)_n$ 、 NR 、 $(SiR_nNR)_n$ 、 $(SiR_nNR)_n$ 、但し、 R はフェニル基、ビニル基、 C_nH_{2n+1} (n は0または正の整数)の少なくとも1種である請求項1記載の半導体装置の製造方法。

【請求項4】 前記酸化剤は、 O_2 、 N_2O 、 NO の少なくとも1種である請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項5】 前記堆積工程において、さらに NH_3 、または NF_3 を添加してプラズマを発生させる請求項1～4のいずれかに記載の半導体装置の製造方法。

【請求項6】 前記半導体基板を準備する工程が、半導体基板上に配線パターンを形成する工程を含む請求項1～5のいずれかに記載の半導体装置の製造方法。

【請求項7】 前記半導体基板を準備する工程が、さらにCVDによって配線パターン上に下地の凹凸を反映するコンフォーマル絶縁膜を形成する工程を含む請求項6記載の半導体装置の製造方法。

【請求項8】 前記下地の凹凸を反映しない絶縁膜を形成する工程は約100℃以下の基板温度で行なわれる請求項1～7のいずれかに記載の半導体装置の製造方法。

【請求項9】 さらに、少なくとも下地の凸部上の前記下地の凹凸を反映しない絶縁膜をエッチバックする工程を含む請求項1～8のいずれかに記載の半導体装置の製造方法。

【請求項10】 さらに、前記下地の凹凸を反映しない絶縁膜を貫通して、前記配線パターンを露出するコンタクトホールを露出する工程と、前記コンタクトホール内に露出された配線パターン上に金属を選択成長する工程とを含む請求項6または7記載の半導体装置の製造方法。

【請求項11】 $(SiR_n)_n$ 、 NR または $(SiR_nNR)_n$ 、または $(SiR_nNR)_n$ 、但し、 R は C_nH_{2n+1} ($n=0, 1, 2, 3, \dots, n$)で表される任意の原子団、で表される有機シリコンと酸素とを含む混合ガスをプラズマ反応させ、プラズマ化学気相堆積法を使用して、絶縁膜を堆積する絶縁膜の製造方法。

【請求項12】 さらに、アンモニアを添加して前記混合ガスを形成する請求項11記載の絶縁膜の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、絶縁膜の製造に関し、特に絶縁膜を有する半導体装置の製造方法と製造装置に関する。

【0002】

【従来の技術】半導体集積回路装置に対する高集積度、高速動作の要求はますます高まっている。高集積度を満たす多くの半導体素子を集積化し、かつ高速動作させるには、狭いチップ面積内に多くの半導体素子を配置することが必要であり、多層配線で素子間を接続することも必要となる。配線層数も増加する。また、各配線の幅を狭くすることが望まれ、同一抵抗値の配線を幅の狭い配線で作ろうとすると配線の高さは高くなる。

【0003】このような多層配線を形成したチップ表面は、激しい凹凸を示すようになる。表面の凹凸が激しくなると、その上に形成する配線層等のステップカバレッジが悪くなるのみでなく、ホトリソグラフィ精度も低下する。従って、多層配線を作成する場合、配線層を形成する前の、層間絶縁膜等の下地の表面を平坦化する技術が重要度を増している。

【0004】絶縁層の平坦化技術としては、ホスホシリケートガラス(PSG)、ボロンシリケートガラス(BSG)、ボロンホスホシリケートガラス(BPSG)等、不純物を添加して軟化点を下げたガラスのリフローが知られている。しかし、これらのリフローも比較的高い温度を必要とし、A1等の耐熱性の低い配線層や高精度の不純物プロファイルを有する半導体チップに適用するには制限がある。

【0005】より低温度で平坦化を実現する技術が求められている。テトラエチルオルソシリケート(TEOS)とオゾンとを反応させてシリコン酸化膜を堆積する技術は、比較的低温で行なうことができ、下地表面の段差を低減する自己平坦化機能を有する。但し、オゾン-TEOS酸化膜は比較的間隔の狭い凸部間の領域は効率的に埋め戻すことができるが、凸部間の間隔が広くなると平坦化の性能は低下する。

【0006】液相のシリコン化合物をスピン塗布した後、アニールして酸化シリコン膜を得るスピンオンガラス(SOG)は、常温でスピンオンができ、液相であるため平坦化機能に優れている。但し、基板を大気に露出すること等により、得られる酸化膜中に水分等酸化シリコン以外の成分を吸着や残留によって含み易い。これら不要成分を低減するにはアニール温度を上げる必要がある。また、スピン塗布はスピンコータを用いたプロセスであり、ドライプロセスとの整合性は良くない。

【0007】これら自己平坦化機能を有する酸化膜の絶縁特性は、通常の化学気相堆積(CVD)で形成した酸化シリコン膜の絶縁特性より一般的に悪い。但し、通常のCVDで形成した酸化シリコン膜は、下地上に下地の形状に従ってコンフォーマルに堆積し、段差を低減する

ことは困難である。

【0008】そこで、配線パターンによって段差の生じた基板表面を、一旦通常のCVD酸化膜でコンフォーマルに覆い、さらにその上にSOG等の自己平坦化機能を有する酸化膜を形成することも行なわれている。本明細書では通常のCVD絶縁膜のように、側面上にも形成されるが、平坦化機能のない、又は極めて乏しい絶縁膜をコンフォーマル絶縁膜と呼ぶ。

【0009】一旦、CVD酸化膜上に自己平坦化機能を有する酸化膜を形成して表面を平坦化した後、自己平坦化機能を有する酸化膜をエッチバック等で少なくとも部分的に除去し、品質の劣る酸化膜の量を減少させることも行なわれている。さらに、エッチバックした表面にCVD酸化膜を堆積してSOG酸化膜等の品質の劣る酸化膜を封じ込めることも行なわれている。

【0010】

【発明が解決しようとする課題】オゾン-TEOS酸化膜で段差基板表面を平坦化する方法は、配線パターン等に起因する凸部間の間隔が広い場合、十分な平坦化を実現することが困難である。

【0011】SOG酸化膜を用いて平坦化を行ない、良好な品質の酸化膜を得ようとする場合は、SOG酸化膜を塗布、アニール、エッチバックしてさらにその上にCVD酸化膜を形成することが望まれるが、複数のプロセスを組み合わせると、ターンアラウンドタイム(TAT)が長くなり、コスト面で不利となる。

【0012】また、スピニングコートとCVD装置の2種類の装置を必要とし、かつこの2種類の装置は整合性が低いため、単一構成に合体化することが困難である。また、SOG酸化膜は、アウトガスを防止することが困難である。アウトガスは後の工程における電気的コンタクトや選択成長の妨げとなる。

【0013】本発明の目的は、ドライプロセスのみで幅広い段差部を含めて平坦化することの可能な絶縁膜を有する半導体装置の製造方法を提供することである。本発明の他の目的は、幅広い段差部を含めて平坦化することの可能な絶縁膜を作成することができる半導体装置の製造装置を提供することである。

【0014】

【課題を解決するための手段】本発明の一観点によれば、表面に凹凸のある構造を有する半導体基板を準備する工程と、シラザン結合を有する有機シリコンと酸化剤を用いてプラズマを発生させ、プラズマ化学気相堆積(CVD)によって前記半導体基板上に下地の凹凸を反映しない絶縁膜を堆積する工程とを含む絶縁膜を有する半導体装置の製造方法が提供される。

【0015】本発明の他の観点によれば、 $(SiR_n)_mNR$ または $(SiR_n)_mNR$ 、または $(SiR_n)_mNR$ 、但し、Rは C_nH_{2n+1} ($n=0, 1, 2, 3, \dots, n$) で表される任意の原子団、で表される有機シリコ

ンと酸素とを含む混合ガスをプラズマ反応させ、プラズマ化学気相堆積法を使用して、絶縁膜を堆積する絶縁膜の製造方法が提供される。

【0016】

【作用】シラザン結合を有する有機シリコンと酸化剤を用いてプラズマを発生させ、絶縁膜を成膜すると、幅広い段差部を含めて凹凸を低減化することが可能であることが実験的に発見された。下地に凹凸があっても、下地の凹凸を反映しない絶縁膜を形成できる。

【0017】

【実施例】図1A、1Bを参照して本発明の実施例による絶縁膜の作成方法を説明する。図1Aに示すように、拡散層等の素子領域を形成したシリコン基板1の表面上に、BPSG膜2をCVDにより厚さ約0.5~1 μm 堆積する。BPSG膜2の上に、スパッタリングを用いてアルミニウム合金層を厚さ約1 μm 堆積する。アルミニウム合金膜上にレジスト層を塗布し、露光、現像してレジストパターンを作成する。レジストパターンをエッチングマスクとし、アルミニウム合金膜をパターンニングし、アルミニウム合金配線3を形成する。アルミニウム合金配線3を形成すると、シリコン基板表面は段差を有することになる。

【0018】このようなシリコン基板を、図1Bに示すような平行平板型プラズマCVD装置に搬入し、段差を平坦化するシリコン系絶縁膜を形成する。図1Bにおいて、気密チャンバ11は、内部に平行平板電極14、15を有し、バルブ12を介して真空排気装置13に接続されている。上側平板電極14は、内部にガス流路18が形成されており、下面に多くの開口を有するガス出口板19が設けられている。上部のガス導入口20から反応ガスを導入すると、ガス出口板19から下側平板電極15に向かってガスを供給することができる。

【0019】下側平板電極15は、温度調整手段を有する。たとえば、内部にガス流路17が形成され、Ar等の温度調節したガスを流すことにより、所望の温度に温度調整することができる。また、ヒータを有することにより温度調節が可能となる。下側平板電極15上にシリコン基板16を載置する。下側平板電極15は接地され、上側平板電極14はRF電源21に接続される。

【0020】上側平板電極14のガス導入口20には、ガス流路22、25が接続されている。ガス流路22は O_2 、または NO 、 N_2O 等の酸化剤が供給される。ガス流路25には、容器23内に収容された有機シリコン中をバブリングしたHeガスが供給される。容器23は、温度調節器24によって一定温度に保持される。

【0021】有機シリコンとしては、 $(SiR_n)_mNR$ 、(但し、Rは C_nH_{2n+1} ($n=0, 1, 2, 3, \dots$ で表される任意の原子団)の1種であり、図2Aの構造式で表される構造を有するヘキサメチルシクロトリシラザン(HMCTSZ) $Si_3C_3H_9N_3$ を用いた。容

器23の温度は、たとえば35℃に保持される。HMCTS Zは常温で液相であり、バブリングに適した蒸気圧を有する。

【0022】シリコン基板16の温度は約100℃以下、たとえば約50℃に保持する。なお、HMCTS Zの堆積においては、温度が高くなると堆積膜の粘度が上がる傾向がある。堆積膜の流動性を増し、平坦化機能を高めるためには基板温度は低い方が好ましい。

【0023】O₂とHeの流量比が約1:10~20になるように設定し、O₂とHe希釈のHMCTS Zをチャンバ11内に導入する。RF電源21から周波数13.56MHzの高周波電力を電力密度が約0.4W/cm²となるように平行平板電極14、15に印加する。RF電力により、O₂とHe希釈のHMCTS Zのプラズマを発生し、有機シリコンの酸化膜をシリコン基板16上に堆積させる。たとえば、厚さ約0.7μmの有機シリコン酸化膜を堆積する。

【0024】HMCTS Zを用いた有機シリコン酸化膜は、自己平坦化機能に優れ、約100μm幅程度までの段差を平坦に埋めることができた。上述の実施例においては、配線パターン3の間隔が約100μm以下であれば、段差を有効に平坦化することができる。

【0025】なお、HMCTS Zを酸化すると、シラザン結合が離れ、NHの代わりにOが結合し、ポリジメチルシロキサンが形成されるのであろうと考えられる。ポリジメチルシロキサンは重合度に依存して変化する粘度(流動性)を有することが知られている。このようなシラザン結合を有する有機シリコンとして、図2Cに示す構造を有し、(SiR₂NR)_nで表される他の有機シリコンを用いることもできると考えられる。さらに、(SiR₂NR)_nに代え、図2Bの構造を有し、(SiR₂)_nNRで表されるヘキサメチルジシラザン等の有機シリコンや、図2Dの構造を有し、(SiR₂NR)_nで表されるオクタメチルシクロテトラシラザン等の有機シリコンを用いることもできると考えられる。

【0026】なお、図2A~2Dにおいて、Rはフェニル基、ビニル基、C_nH_{2n+1}(n=0, 1, 2, 3...)である。特に、Rは耐熱性が良好なメチル基、フェニル基または水素基であることが好ましい。

【0027】さらに、シラザン結合を有する有機シリコンを広く用いることが可能であろう。所望の重合度を実現するには、環状のシラザンを用いることが好ましいであろう。

【0028】酸化剤としてO₂を用いる場合を説明したが、O₂に代え、一酸化窒素、一酸化二窒素等の他の酸化剤を用いてもよいと考えられる。さらに、酸化剤に加え、アンモニア(NH₃)やNF₃等を添加することもできる。これらの添加剤を混入すると反応条件が変化する。NF₃を添加した場合、条件を調整してほぼ同様の平坦性が得られた。シラザン結合を有する有機シリコン

と、酸化剤を含む混合ガスをプラズマ化し、酸化シリコン絶縁膜を形成することにより、幅広の段差部も含めて平坦化を行なうことができるであろう。平坦化により多層配線のカバレッジ不良を良好に防止することができる。

【0029】図3A~3Dは、本発明の他の実施例による半導体装置の製造方法を示す。図3Aにおいて、シリコン基板30の活性領域31を囲むように、フィールド酸化膜32をLOCOS(local oxidation of silicon)によって作成する。フィールド酸化膜32形成後、酸化マスクとして用いた窒化膜およびその下の酸化膜を除去し、薄いゲート酸化膜を熱酸化等によって形成する。

【0030】その後、多結晶シリコン層を表面上に堆積し、ホトリソグラフィを用いてパターンニングすることにより、ゲート電極33およびゲート配線33aを作成する。イオン注入を行なって、MOSFETのソース/ドレイン領域や抵抗領域等を形成する。これら素子構造を形成した後、ゲート電極33、ゲート配線33aを覆うように、ボロンホスホシリケートガラス(BPSG)膜34を厚さ約500nm形成する。このBPSG膜34は、たとえばソースガスとしてSiH₄、O₂、B₂H₆、PH₃を希釈用ガスN₂と共に用い、常圧で約380℃のCVDによって形成する。BPSG膜34をリフローして平坦化する。BPSG膜34は、ゲート配線とその上の配線との間の層間絶縁膜として機能する。

【0031】BPSG膜34の上に、Si1%を含むAl合金をスパッタし、厚さ約700nmのAl合金層を形成し、ホトリソグラフィによってパターンニングすることにより、Al配線35を形成する。このAl配線を下層配線と呼ぶ。Al配線をパターンニングした結果、表面上には厚さ約700nmの凹凸が発生する。

【0032】下層配線層を覆って、SiH₄とN₂Oをソースガスとし、300℃程度のプラズマCVDを行なうことにより、酸化シリコン膜36を厚さ約500nm堆積する。この酸化シリコン膜は、下地表面上にその形状に従ってコンフォーマルに形成される。但し、側面上の膜厚は平坦面上の膜厚より小さい。Al配線3間の凹所が1以下のアスペクト比を有すれば、隣接する側面上の酸化シリコン膜が接することがない。従って、下に空洞を形成することなく良好な酸化シリコン膜を形成できる。

【0033】図3Bに示すように、ヘキサメチルシクロトリシラザン(HMCTS Z)とO₂を用いたプラズマCVDにより、有機シリコンの酸化膜である絶縁膜37を厚さ約500nm形成する。但し、厚さは場所によって変化する。厳密なものではない。少なくとも凹所を埋めてさらに表面を覆うようにする。

【0034】このプラズマCVDは、約100℃以下の基板温度、たとえば約50℃の基板温度、13.56M

HzのRF周波数、RF電力約0.4W/cm²、HMCTS ZのパブリングをHeで行ない、O₂/He流量比約0.1とする条件で行なう。

【0035】このような条件で形成したHMCTS Zの酸化膜は、図に示すようにほぼ平坦な表面を有する。下地凸部の間隔が約100μm程度までは、平坦な表面を得ることが可能である。

【0036】下地凸部の間隔が約100μm程度存在する場合、SOGによる平坦化を行なうと、段差が約1μmの場合、SOG表面には約100nm程度の段差が生じることを避けがたかった。従って、HMCTS Zを用いたプラズマ酸化膜は、優れた自己平坦化機能を有することが判る。

【0037】HMCTS Zから作成した有機シリコン酸化膜は、原料、製法による影響を受け難いであり、たとえばシラン系材料を用い、CVDによって作成した酸化シリコン膜とは異なる性能を示すことがある。従って、HMCTS Zで形成した酸化膜の量をなるべく減少させたり、CVD酸化膜によって覆うことが望まれることもある。

【0038】図3Cに示すように、シリコン基板を反応性イオンエッチング(RIE)装置内に搬入し、RIEにより約700nmのエッチバックを行なう。このエッチバックにより下地凸部上の絶縁膜37は除去され、さらに凸部上の酸化シリコン膜36が約200nm厚エッチされ、下地凹部上のみにわずかに絶縁膜37aが残る。図3Bの段階で、表面がほぼ完全に平坦化されているため、エッチバックされた後の表面もほぼ平坦となる。

【0039】なお、エッチバックのエッチング条件は、エッチャントガスとしてCF₄、CHF₃を流量比CF₄/CHF₃=1、RF電力約350W、圧力約150mTorrで行なう。この条件の時、エッチングは異方性であり、CVD酸化膜36と、HMCTS Z酸化膜37とのエッチングレート比は約1である。

【0040】図3Dに示すように、エッチバックした表面上に、図3Aで作成したCVD酸化膜36と同様の工程により、酸化シリコン膜38を堆積する。このようにして、CVD酸化膜の有する段差をシラザン結合を有する有機シリコンの酸化膜で効率的に平坦化し、さらに平坦化された表面を覆って平坦なキャップ層を形成することができる。

【0041】なお、HMCTS Zを用いた絶縁膜は、堆積時の基板温度が高くなると粘度が上がる。たとえば、約150℃以上の基板温度では、粘度が高くなり過ぎ(流動性が低くなり過ぎ)、良好な平坦化を行なうことは困難である。従って、約150℃以下、好ましいは約100℃以下の基板温度で平坦化絶縁膜を堆積する。また、基板温度は、用いるシラザン化合物の融点以上とすることが好ましい。

【0042】図4は、図3A~3Dに示す製造方法を実施するのに適した製造装置の構成を概略的に示す。ウェハ駆動機構Rを収容するロードロック室41に、ゲートバルブGVを介して3つの処理室42、43、44が接続され、さらにゲートバルブGV1を介して予備室40が接続されている。以上説明した各室は、独立に真空排気することができる。

【0043】シリコンウェハは、ウェハカセットを導入する予備室40からロードロック室41に搬入され、処理室42~44のいずれにも搬入することができる。処理室42は、たとえばプラズマCVD用の処理室であり、所望温度に加熱したサセプタ状に半導体ウェハを載置し、プラズマCVD膜を堆積することができる。なお、図4には図示しないが、図1B同様にRF電力源やガス供給源が備えられている。

【0044】処理室43は、シラザン結合を有する有機シリコンと酸化剤を用いて絶縁膜を形成するためのチャンバである。その構成は図1Bに示すものと同等である。処理室44は、エッチバック用のチャンバであり、RIEを行なうことができるように平行平板電極が備えられている。下側電極にRF電源が接続されている場合を示すが、上側電極または両電極にRF電源を接続してもよい。各処理室には、図1Bに示すようなガス供給源が備えられている。

【0045】図4に示すような装置を用いると、ウェハを大気に露出することなく、図3Aの酸化シリコン膜堆積から、図3Dの酸化シリコン膜堆積までの工程を順次行なうことができる。

【0046】次に、前述の実施例同様に図3A~3Dを参照し、他の実施例を説明する。A1の下層配線35形成までの工程は前述の実施例と同様である。下層配線35形成後、ソースガスとしてSiH₄、N₂Oを用い、酸化剤N₂Oを不足気味に供給することにより、プラズマCVDにより窒化酸化膜36を形成する。なお、必要に応じてNH₃を添加する。このようにして、屈折率約1.75の窒化酸化膜を厚さ約500nm堆積する。

【0047】その後、図3Bに示した工程と同様の工程により、HMCTS Zを用いた絶縁膜37を厚さ約500nm堆積する。その後、図3Cに示す工程により、約700nmのエッチバックを行なう。この時のエッチング条件は、エッチャントガスとしてCF₄+O₂を用い、CF₄/O₂の流量比=10、RF電力1kW、圧力1.0Torrとする。

【0048】この条件下でCVD窒化酸化膜36と絶縁膜37のエッチングレート比は約1である。このエッチングは、等方性エッチングであるが、表面が平坦化されているため、平坦な表面を維持したままエッチングが進む。エッチバック後、図3Dに示す工程により、絶縁膜表面を覆うCVD酸化膜38を形成してもよい。

【0049】なお、図3A~3Dを参照して説明した実

施例において、HMCTS Zの他、シラザン結合を有する他の有機シリコンを用いてもよい。たとえば、図2 Bに示す構造式を有する有機シリコンを用いることができる。この例としては、RがCH₃であるヘキサメチルジシラザンがある。また、図2 Cに示す構造式を有する有機シリコンを用いることもできる。RをCH₃とした時には、実施例のHMCTS Zとなる。

【0050】また、図2 Dに示すような構造式を有する有機シリコンを用いることもできる。この例としては、RがCH₃であるオクタメチルシクロテトラシラザンがある。なお、前述のように環状構造を有するシラザンを用いることがより好ましいであろう。

【0051】また、酸化剤としてはO₂以外に、N₂、O、NO等を用いてもよい。これらの酸化剤に加え、さらにNF₃やNH₃を添加してもよい。以上説明した構成によれば、層間絶縁膜を全てCVDによって形成できるため、プロセスの整合性がよく、かつ設計変更に対応することができる。ASICのような多品種少量生産に特に適している。

【0052】次に、図5 A～5 Cを参照して本発明の他の実施例による半導体装置の製造方法を説明する。図5 Aに示すように、シリコン基板50の表面部分51に、トランジスタ、抵抗等の素子を形成し、その上に形成する配線層との間の層間絶縁膜としてBPSG膜52を厚さ500nm程度前述同様の工程によって形成する。

【0053】BPSG膜52の上に、Si1%を含むAl合金層を厚さ約700nmスパッタリングし、さらにその上にTiN層を厚さ約100nmスパッタリングする。TiN層の上にレジスト層を塗布し、パターニングしてエッチングマスクを形成する。このマスクを用いてエッチングすることにより、Al合金層53、TiN層54からなる下層配線層を形成する。

【0054】次に、図5 Bに示すように、前述同様のシラシ材料を用いたプラズマCVDにより、シリコン酸化膜55を厚さ約500nm堆積する。TEOSと酸素を用いたCVDを用いてもよい。

【0055】次に、平行平板型プラズマCVD装置を用い、ソースガスとしてヘキサメチルシクロトリシラザン(HMCTS Z)を用い、酸化剤としてO₂を用いて、絶縁膜56を凸部上で厚さ約200nmになるように形成する。この時の膜堆積条件は、基板温度100℃以下、たとえば50℃、RF周波数13.56MHz、RF電力密度0.4W/cm²、HMCRSZはHeパブリング、HeとO₂の流量比はO₂/He=0.1とする。このような条件によれば、自己平坦化機能の優れた絶縁膜56を得ることができる。

【0056】図5 Cに示すように、レジストマスクを用いたホトリソグラフィにより、コンタクトホール58を絶縁膜56、シリコン酸化膜55を貫通して形成する。このコンタクトホール58内に露出したTiN層54表

面上にW層を選択的に厚さ約500nm成長する。

【0057】この選択成長の条件は、基板温度約300℃、成長圧力0.1 Torr、使用ガスWF₆、SiH₄、H₂、流量比WF₆/SiH₄/H₂=5/2/80である。選択Wは、コンタクトホール内に露出した金属層表面上にのみ成長し、絶縁膜上には成長しない。なお、Wの選択成長を、Al、Cu等の他の金属の選択成長に置き換えることも可能である。

【0058】なお、HMCTS Zを用いた絶縁膜の代わりに、市販の無機SOGを厚さ約80nm塗布し、450℃、N₂雰囲気中で約30分間キュアリングし、コンタクトホールを形成して同様の選択Wの成長を行なうと、絶縁膜上にはアウトガスに起因すると考えられる無数のパーティクル状の異常W成長が生じてしまう。すなわち、SOG酸化膜と比較し、HMCTS Zを用いた絶縁膜はアウトガスが少ないことがわかる。

【0059】なお、図5 A～5 Cの実施例においては、CVD酸化膜を堆積した後、シラザン結合を有する有機シリコンの絶縁膜を形成したが、配線層上に直接シラザン結合を有する有機シリコンの絶縁膜を形成することもできる。

【0060】図6は、本発明の他の実施例による半導体装置の製造方法を説明するための断面図である。シリコン基板50上にBPSG膜52、下層配線層53、54を形成し、パターニングする点までは図5 A～5 Cに示す実施例と同様である。

【0061】下層配線層53、54を形成した後、直接HMCTS Zを用いた絶縁膜57を前述の実施例同様の工程により厚さ約800nm堆積する。この絶縁膜57の表面は平坦になる。その後、図5 A～5 Cに示す実施例と同様、コンタクトホール58を形成し、コンタクトホール内にWの選択成長を行なってWプラグ59を形成する。なお、プラグの選択成長はWに限らない。W、Al、Cu等の金属の選択成長から任意のものを採用することが可能である。

【0062】図5 A～5 C、図6の実施例においても、前述の実施例同様、他のシラザン結合を有する有機シリコンや他の酸化剤を用いてもよい。特に、Rとして耐熱性の良いメチル基、フェニル基を有するものや水素基を有する図2 A、2 C、2 Dに示すような環状シラザン化合物を用いることが好ましい。

【0063】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。絶縁膜を作成する原料として、ヘキサメチルシクロトリシラザン(HMCTS Z)を用いる場合を主として説明したが、シリコン原料としてはシラザン結合を有する有機シリコンを用いることができる。たとえば、図2 A～2 Dに示すような構造を有する有機シリコンを用いることができる。特に、環状構造を有するシラザンを用いることが好ましい。

10

20

30

40

50

【0064】酸化剤としては、 O_2 、 N_2O 、 NO を用いることができるが、これに制限されるものではない。酸化剤と共に NF_3 、 NH_3 を用いることもできる。その他、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0065】

【発明の効果】以上説明したように、シラザン結合を有する有機シリコンと酸化剤を用いた絶縁膜を形成することにより、段差基板表面に下地の凹凸を反映しない絶縁膜表面を形成することが可能となる。

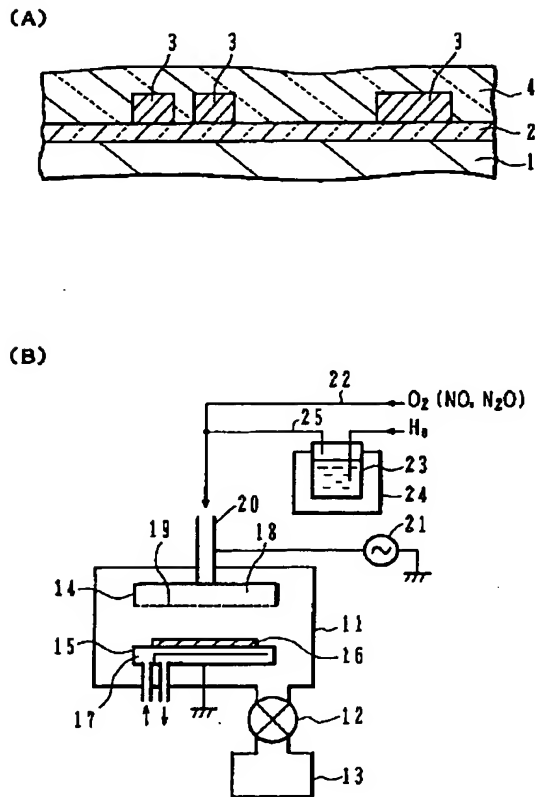
【図面の簡単な説明】

【図1】本発明の実施例による半導体装置の製造方法を説明するための断面図およびブロック図である。

【図2】本発明の実施例に用いる有機シリコンの構造を示す概略図である。

【図3】本発明の実施例による半導体装置の製造方法を*

【図1】



*説明するための概略断面図である。

【図4】本発明の実施例に用いる半導体装置の製造装置を示す概略ブロック図である。

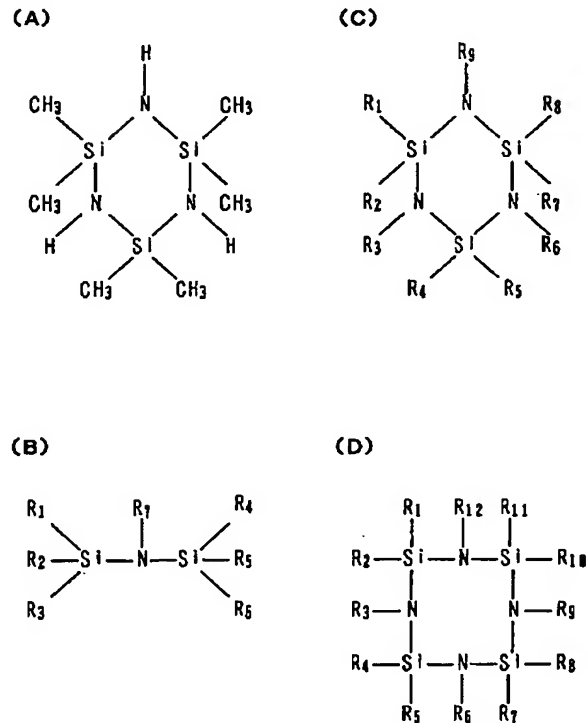
【図5】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図6】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

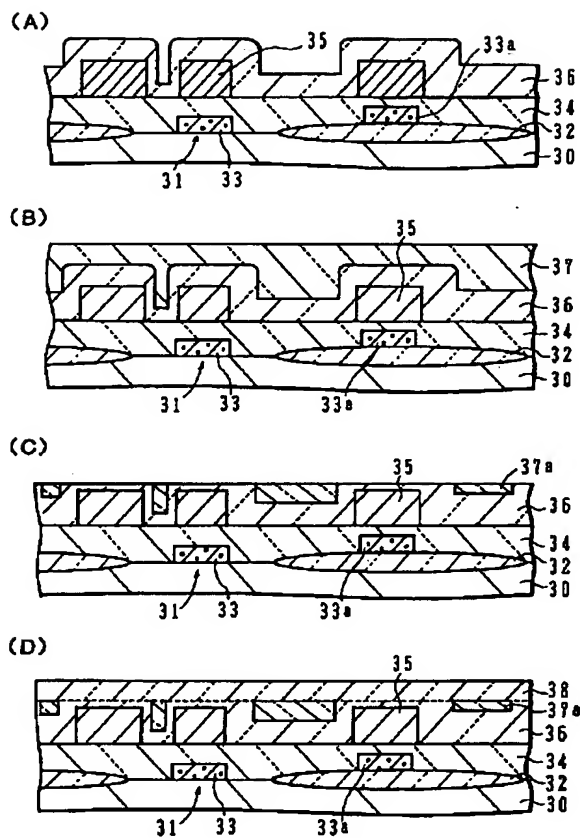
【符号の説明】

- 1、30、50 シリコン基板
- 2、34、52 BPSG膜
- 35、53、54 下層配線
- 36、55 CVD（窒化）酸化膜
- 37、56、57 有機シリコンと酸化剤を用いた絶縁膜
- 22 酸化剤配管
- 25 有機シリコン配管

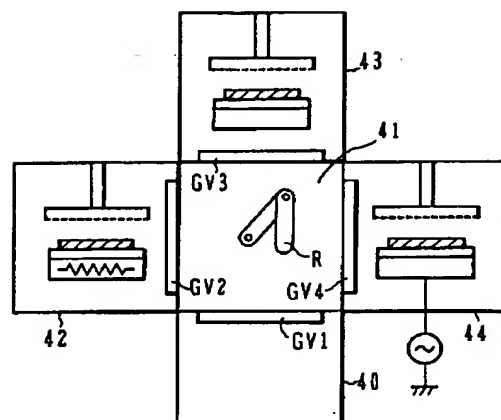
【図2】



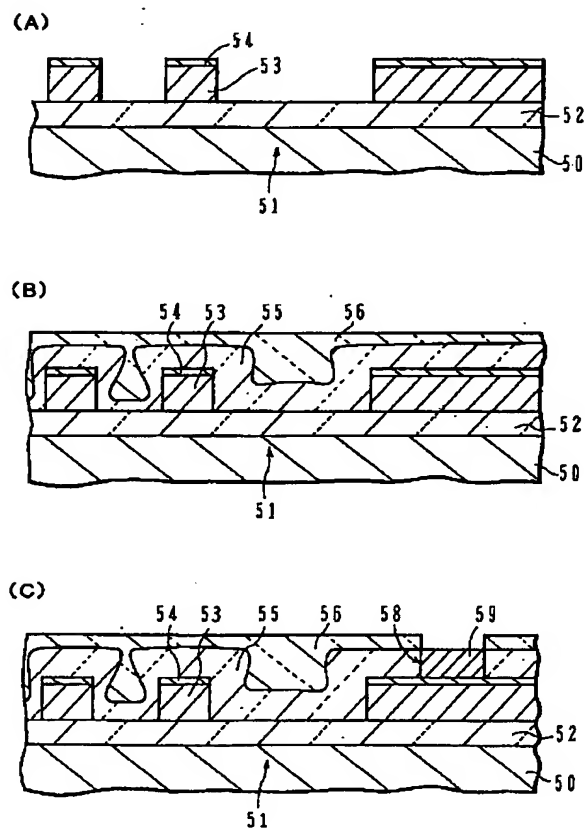
【図3】



【図4】



【図5】



【図6】

